

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-285150

(43)Date of publication of application : 23.10.1998

(51)Int.CI. H04L 7/033
H03L 7/14

(21)Application number : 09-081521 (71)Applicant : NEC CORP

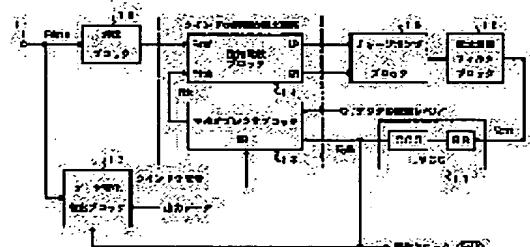
(22)Date of filing : 31.03.1997 (72)Inventor : EUGENE O
SULLIVAN
SHIMODA AKIFUMI

(54) PHASE-LOCKED LOOP CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a phase-locked loop circuit which does not generate harmonic synchronization establishment and stably operates even when the same codes continue.

SOLUTION: A delay block 12 delays input data in a prescribed time. When a data change detecting block 13 detects a data change, it outputs a prescribed time window signal. A multiplexer block 18 outputs a VCO clock while a window signal is inputted and outputs a digital logical level as a feedback signal except the time when a window signal is inputted. A phase comparing block 14 detects the phase difference between delay input data and the feedback signal and outputs an output that corresponds to it to a charge pump block 15. An output of the block 15 is given to a VCO 17 through a lowpass filter block 16 and the VCO generates a VCO clock of a frequency that corresponds to it.



LEGAL STATUS

[Date of request for examination] 31.03.1997

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision
of rejection or application
converted registration]

[Date of final disposal for
application]

[Patent number] 2993559

[Date of registration] 22.10.1999

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-285150

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁶
H 0 4 L 7/033
H 0 3 L 7/14

識別記号

F I
H 0 4 L 7/02
H 0 3 L 7/14

B
A

審査請求 有 請求項の数19 OL (全 23 頁)

(21) 出願番号 特願平9-81521
(22) 出願日 平成9年(1997)3月31日

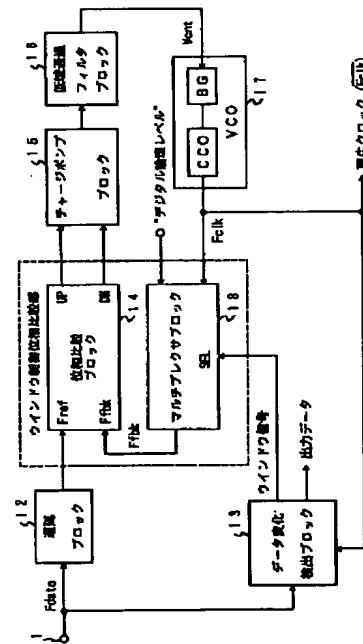
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 ユージン オサリバン
東京都港区芝五丁目7番1号 日本電気株式会社内
(72) 発明者 霜田 招史
東京都港区芝五丁目7番1号 日本電気株式会社内
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 位相同期回路

(57) 【要約】

【課題】 高調波での同期確立が発生せず、同一の符号が連続する場合でも安定して動作する位相同期回路を提供する。

【解決手段】 遅延ブロック12は入力データを所定時間遅延させる。データ変化検出ブロック13はデータの変化を検出すると所定時間ウインドウ信号を出力する。マルチブレクサブロック18は、ウインドウ信号が入力されている間はVCOクロックを、それ以外はデジタル論理レベルを帰還信号として出力する。位相比較ブロック14は、遅延入力データと帰還信号との位相差を検出し、それに応じた出力をチャージポンプブロック15へ出力する。チャージポンプブロックの出力は低域通過フィルタブロック16を介してVCO17に与えられ、VCOはそれに応じた周波数のVCOクロックを発生する。



【特許請求の範囲】

【請求項1】 ランダム入力データからクロック信号を抽出するための位相同期回路において、前記ランダム入力データを遅延させ遅延ランダム入力データを出力する遅延手段と、前記ランダム入力データのデータ変化を検出してウインドウ信号を生成するデータ変化検出手段と、前記遅延ランダム入力データと帰還信号との位相差を求め、位相差に応じた出力を出力する位相差検出手段と、該位相比較手段の出力に応じた出力電圧を発生するチャージポンプ手段と、該チャージポンプ手段からの前記出力電圧を濾波する低域通過フィルタ手段と、該低域通過フィルタ手段の出力電圧に応じた周波数のVCOクロックを発生する電圧制御発振器と、所定のデジタル論理レベルと前記VCOクロックとが入力され、前記ウインドウ信号に応答して前記所定のデジタル論理レベルまたは前記VCOクロックを、前記帰還信号として選択的に出力するマルチブレクサ手段と、を有することを特徴とする位相同期回路。

【請求項2】 前記位相比較手段が、デジタル位相周波数検出器(PFD)を備えていることを特徴とする請求項1の位相同期回路。

【請求項3】 前記遅延手段が0.5クロック以上1.5クロック以下の時間だけ、前記ランダム入力データを遅延させることを特徴とする請求項2の位相同期回路。

【請求項4】 前記電圧制御発振器が、前記低域通過フィルタからの出力電圧に応じたバイアス電流を発生するバイアス発生器と、該バイアス発生器の出力に応じた周波数のクロックパルスを前記VCOクロックとして発生する電流制御発振器とを備え、前記バイアス発生器の出力を用いて前記遅延手段の遅延量を制御するようにしたことを特徴とする請求項1、2、または3の位相同期回路。

【請求項5】 前記データ変化検出手段が、データ入力端子、クロック入力端子、及び出力端子を備えた单一のデータ変化検出器からなり、データ入力端子には前記ランダム入力データが、前記クロック入力端子には前記VCOクロックが、それぞれ入力され、前記VCOクロックに応答して、前記ランダム入力データのデータ変化を検出し、前記出力端子に前記ウインドウ信号を出力し、前記位相比較手段が、第1の入力端子、第2の入力端子、第1の出力端子、及び第2の出力端子を備えた单一の位相周波数検出器からなり、前記第1の入力端子には前記遅延ランダム入力データが、前記第2の入力端子には前記帰還信号が、それぞれ入力され、前記遅延ランダム入力データの位相が前記帰還信号よりも進んでいるときは、第1の出力端子に出力信号を、前記遅延ランダム入力データの位相が前記帰還信号よりも遅れているときは、第2の出力端子に出力信号を出し、前記チャージポンプ手段が、アップ側入力端子、ダウン側入力端子、及び出力端子を備えた单一のチャージポンプ回路からな

り、前記アップ側入力端子は前記位相周波数検出器の前記第1の出力端子に、前記ダウン側入力端子は前記位相周波数検出器の前記第2の出力端子にそれぞれ接続され、前記出力端子が前記低域通過フィルタ手段に接続されており、

前記マルチブレクサ手段が、第1の入力端子、第2の入力端子、選択入力端子、及び出力端子を備えた单一の2-1マルチブレクサからなり、前記第1の入力端子は前記電圧制御発振器に、前記第2の入力端子は前記所定のデジタル論理レベルに、前記選択入力端子は前記データ変化検出器の前記出力端子に、前記出力端子は前記位相周波数検出器の前記第2の入力端子に接続されていることを特徴とする請求項1、2、3、または4の位相同期回路。

【請求項6】 前記遅延手段の前段に、前記ランダム入力データを分岐して一方の位相を反転し反転入力データを出力する位相反転手段と、前記ランダム入力データ及び前記反転入力データの少なくとも一方に基づいて、前記ランダム入力データのエッジを検出するエッジ検出手段とを有し、前記データ変化検出手段が、前記ランダム入力データの立ち上がりまたは立ち下がりを検出して第1のデータ変化信号を出力する第1のデータ変化検出器と、前記反転入力データの立ち上がりまたは立ち下がりを検出して第2のデータ変化信号を検出する第2のデータ変化検出器と、前記第1のデータ変化信号及び前記第2のデータ変化信号を前記ウインドウ信号として出力するORゲートとを有する、ことを特徴とする請求項1、2、3、または4の位相同期回路。

【請求項7】 前記エッジ検出手段が、前記ランダム入力データを2分岐する分岐手段と、該分岐手段により分岐された一方のランダム入力データを遅延させる遅延素子と、前記分岐手段により分岐された他方のランダム入力データと前記遅延素子により遅延されたランダム入力データとの排他的論理和を出力する排他的論理和ゲートとを有し、該排他的論理和ゲートの出力を前記遅延手段へ出力するようにしたことを特徴とする請求項6の位相同期回路。

【請求項8】 前記遅延手段の前段に、前記ランダム入力データを分岐して一方の位相を反転し反転入力データを出力する位相反転手段を有し、前記データ変化検出手段が、各々データ入力端子、クロック入力端子、及び出力端子を備えた第1及び第2のデータ変化検出器からなり、前記第1のデータ変化検出器のデータ入力端子には前記ランダム入力データが、前記クロック入力端子には前記VCOクロックが、それぞれ入力され、前記VCOクロックに応答して、前記ランダム入力データのデータ変化を検出し、前記出力端子に第1のウインドウ信号を出力し、前記第2のデータ変化検出器のデータ入力端子には前記反転入力データが、前記クロック入力端子には前記VCOクロックが、それぞれ入力され、前記VCO

クロックに応答して、前記反転入力データのデータ変化を検出し、前記出力端子に第2のウインドウ信号を出力し、

前記マルチブレクサ手段が、各々第1の入力端子、第2の入力端子、選択入力端子、及び出力端子を備えた第1及び第2の2-1マルチブレクサからなり、前記第1の2-1マルチブレクサの前記第1の入力端子は前記電圧制御発振手段に、前記第2の入力端子は前記所定のデジタル論理レベルに、前記選択入力端子は前記第1のデータ変化検出器の前記出力端子に接続され、前記第1のウインドウ信号に応答して、第1の帰還信号を前記出力端子に出力し、前記第2の2-1マルチブレクサの前記第1の入力端子は前記電圧制御発振手段に、前記第2の入力端子は前記所定のデジタル論理レベルに、前記選択入力端子は前記第2のデータ変化検出器の前記出力端子に接続され、前記第2のウインドウ信号に応答して、第2の帰還信号を前記出力端子に出力し、前記位相比較手段が、各々第1の入力端子、第2の入力端子、第1の出力端子、及び第2の出力端子を備えた第1及び第2の位相周波数検出器からなり、前記第1の位相周波数検出器の前記第1の入力端子には前記遅延されたランダム入力データが、前記第2の入力端子には前記第1の帰還信号が、それぞれ入力され、前記遅延されたランダム入力データの位相が前記第1の帰還信号よりも進んでいるときは、第1の出力端子に出力信号を、前記遅延ランダム入力データの位相が前記帰還信号よりも遅れているときは、第2の出力端子に出力信号を出し、前記第2の位相周波数検出器の前記第1の入力端子には遅延された前記反転入力データが、前記第2の入力端子には前記第2の帰還信号が、それぞれ入力され、前記遅延された反転入力データの位相が前記第2の帰還信号よりも進んでいるときは、第1の出力端子に出力信号を、前記遅延ランダム入力データの位相が前記第2の帰還信号よりも遅れているときは、第2の出力端子に出力信号を出し、前記チャージポンプ手段が、各々アップ側入力端子、ダウン側入力端子、及び出力端子を備えた第1及び第2のチャージポンプ回路からなり、前記第1のチャージポンプ回路の前記アップ側入力端子は前記第1の位相周波数検出器の前記第1の出力端子に、前記ダウン側入力端子は前記第1の位相周波数検出器の前記第2の出力端子にそれぞれ接続され、前記出力端子が前記低域通過フィルタ手段に接続されており、前記第2のチャージポンプ回路の前記アップ側入力端子は前記第2の位相周波数検出器の前記第1の出力端子に、前記ダウン側入力端子は前記第2の位相周波数検出器の前記第2の出力端子にそれぞれ接続され、前記出力端子が前記低域通過フィルタ手段に接続されている、ことを特徴とする請求項1、2、3、または4の位相同期回路。

【請求項9】 前記遅延手段の前段に、前記ランダム入力データを分岐して一方の位相を反転し反転入力データ

を出力する位相反転手段を有し、前記遅延手段が、前記ランダム入力データ及び前記反転入力データを第1の所定時間遅延させて第1の遅延ランダム入力データ及び第1の遅延反転入力データを出力する第1の遅延回路と、前記第1の遅延ランダム入力データ及び前記第1の遅延反転入力データを第2の所定時間遅延させて第2の遅延ランダム入力データ及び第2の遅延反転入力データを出力する第2の遅延回路と、前記データ変化検出手段が、各々データ入力端子、クロック入力端子、及び出力端子を備えた第1、第2、第3、及び第4のデータ変化検出器からなり、前記第1のデータ変化検出器のデータ入力端子には前記ランダム入力データが、前記クロック入力端子には前記VCOクロックが、それぞれ入力され、前記VCOクロックに応答して、前記ランダム入力データのデータ変化を検出し、前記出力端子に第1のウインドウ信号を出力し、前記第2のデータ変化検出器のデータ入力端子には前記反転入力データが、前記クロック入力端子には前記VCOクロックが、それぞれ入力され、前記VCOクロックに応答して、前記反転入力データのデータ変化を検出し、前記出力端子に第2のウインドウ信号を出力し、前記第3のデータ変化検出器のデータ入力端子には前記第1の遅延ランダム入力データが、前記クロック入力端子には前記VCOクロックが、それぞれ入力され、前記VCOクロックに応答して、前記第1の遅延ランダム入力データのデータ変化を検出し、前記出力端子に第3のウインドウ信号を出力し、前記第4のデータ変化検出器のデータ入力端子には前記第1の遅延反転入力データが、前記クロック入力端子には前記VCOクロックが、それぞれ入力され、前記VCOクロックに応答して、前記第1の遅延反転入力データのデータ変化を検出し、前記出力端子に第4のウインドウ信号を出力し、前記マルチブレクサ手段が、各々第1の入力端子、第2の入力端子、選択入力端子、及び出力端子を備えた第1、第2、第3、及び第4の2-1マルチブレクサからなり、前記第1の2-1マルチブレクサの前記第1の入力端子は前記電圧制御発振手段に、前記第2の入力端子は前記所定のデジタル論理レベルに、前記選択入力端子は前記第1のデータ変化検出器の前記出力端子に接続され、前記第1のウインドウ信号に応答して、第1の帰還信号を前記出力端子に出力し、前記第2の2-1マルチブレクサの前記第1の入力端子は前記電圧制御発振手段に、前記第2の入力端子は前記所定のデジタル論理レベルに、前記選択入力端子は前記第2のデータ変化検出器の前記出力端子に接続され、前記第2のウインドウ信号に応答して、第2の帰還信号を前記出力端子に出力し、前記第3の2-1マルチブレクサの前記第1の入力端子は前記電圧制御発振手段に、前記第2の入力端子は前記所定のデジタル論理レベルに、前記選択入力端子は前記第3のデータ変化検出器の前記出力端子に接続され、前記第3のウインドウ信号に応答して、第3の帰還

信号を前記出力端子に出力し、前記第4の2-1マルチブレクサの前記第1の入力端子は前記電圧制御発振手段に、前記第2の入力端子は前記所定のデジタル論理レベルに、前記選択入力端子は前記第4のデータ変化検出器の前記出力端子に接続され、前記第4のウインドウ信号に応答して、第4の帰還信号を前記出力端子に出力し、前記位相比較手段が、各々第1の入力端子、第2の入力端子、第1の出力端子、及び第2の出力端子を備えた第1、第2、第3、及び第4の位相周波数検出器からなり、前記第1の位相周波数検出器の前記第1の入力端子には前記第1の遅延ランダム入力データが、前記第2の入力端子には前記第1の帰還信号が、それぞれ入力され、前記第1の遅延ランダム入力データの位相が前記第1の帰還信号よりも進んでいるときは、第1の出力端子に出力信号を、前記第1の遅延ランダム入力データの位相が前記第1の帰還信号よりも遅れているときは、第2の出力端子に出力信号を出し、前記第2の位相周波数検出器の前記第1の入力端子には前記第1の遅延反転入力データが、前記第2の入力端子には前記第2の帰還信号が、それぞれ入力され、前記第1の遅延反転入力データの位相が前記第2の帰還信号よりも進んでいるときは、第1の出力端子に出力信号を、前記第1の遅延ランダム入力データの位相が前記第2の帰還信号よりも遅れているときは、第2の出力端子に出力信号を出し、前記第3の位相周波数検出器の前記第1の入力端子には前記第2の遅延ランダム入力データが、前記第2の入力端子には前記第3の帰還信号が、それぞれ入力され、前記第2の遅延ランダム入力データの位相が前記第3の帰還信号よりも進んでいるときは、第1の出力端子に出力信号を、前記第2の遅延ランダム入力データの位相が前記第3の帰還信号よりも遅れているときは、第2の出力端子に出力信号を出し、前記第4の位相周波数検出器の前記第1の入力端子には前記第2の遅延反転入力データが、前記第2の入力端子には前記第4の帰還信号が、それぞれ入力され、前記第2の遅延反転入力データの位相が前記第4の帰還信号よりも進んでいるときは、第1の出力端子に出力信号を、前記第2の遅延ランダム入力データの位相が前記第4の帰還信号よりも遅れているときは、第2の出力端子に出力信号を出し、前記チャージポンプ手段が、各々アップ側入力端子、ダウン側入力端子、及び出力端子を備えた第1、第2、第3、及び第4のチャージポンプ回路からなり、前記第1のチャージポンプ回路の前記アップ側入力端子は前記第1の位相周波数検出器の前記第1の出力端子に、前記ダウン側入力端子は前記第1の位相周波数検出器の前記第2の出力端子にそれぞれ接続され、前記出力端子が前記低域通過フィルタ手段に接続されており、前記第2のチャージポンプ回路の前記アップ側入力端子は前記第2の位相周波数検出器の前記第1の出力端子に、前記ダウン側入力端子は前記第2の位相周波数検出器の前記第2の出力端子に、前記ダウン側入力端子は前記第2の位相周波数検出器の前記第2の出力端子にそ

れぞれ接続され、前記出力端子が前記低域通過フィルタ手段に接続されており、前記第3のチャージポンプ回路の前記アップ側入力端子は前記第3の位相周波数検出器の前記第1の出力端子に、前記ダウン側入力端子は前記第3の位相周波数検出器の前記第2の出力端子にそれぞれ接続され、前記出力端子が前記低域通過フィルタ手段に接続されており、前記第4のチャージポンプ回路の前記アップ側入力端子は前記第4の位相周波数検出器の前記第1の出力端子に、前記ダウン側入力端子は前記第4の位相周波数検出器の前記第2の出力端子にそれぞれ接続され、前記出力端子が前記低域通過フィルタ手段に接続されていることを特徴とする請求項1、2、3、または4の位相同期回路。

【請求項10】 前記デジタル論理レベルが“ロー”レベルであり、前記データ検出手段が前記VCOクロックの立ち下がりエッジでクロックされ、前記位相比較手段が入力される前記遅延されたランダム入力データの立ち上がりで動作することを特徴とする請求項1、2、3、4、5、6、7、8、または9の位相同期回路。

【請求項11】 前記デジタル論理レベルが“ハイ”レベルであり、前記データ検出手段が前記VCOクロックの立ち上がりエッジでクロックされ、前記位相比較手段が入力される前記遅延されたランダム入力データの立ち下がりで動作することを特徴とする請求項1、2、3、4、5、6、7、8、または9の位相同期回路。

【請求項12】 ランダム入力データからクロック信号を抽出するための位相同期回路において、入力されたランダム入力データを遅延させるための遅延手段と、前記ランダム入力データのデータ変化を検出してウインドウ信号を出力するデータ変化検出手段と、前記ウインドウ信号をシフトさせるためのウインドウシフト手段と、前記遅延手段により遅延されたランダム入力データの位相と前記ウインドウシフト手段によりシフトされたウインドウ信号の位相とを比較して、位相差に応じた出力信号を出力する位相比較手段と、該位相比較手段からの出力信号に応答して出力電圧を発生するチャージポンプ手段と、チャージポンプ手段の出力電圧を濾波する低域通過フィルタ手段と、該低域濾波手段の出力に応じた周波数のVCOクロックを発生する電圧制御発振器と、を有すること特徴とする位相同期回路。

【請求項13】 前記データ変化検出手段が、データ入力端子、クロック入力端子、及び出力端子を備えた单一のデータ変化検出器からなり、データ入力端子には前記ランダム入力データが、前記クロック入力端子には前記VCOクロックが、それぞれ入力され、前記VCOクロックに応答して、前記ランダム入力データのデータ変化を検出し、前記出力端子に前記ウインドウ信号を出力し、前記ウインドウシフト手段は、D入力端子、クロック入力端子、及びQ出力端子を有する单一のDフリップフロップからなり、前記D入力端子には前記ウインドウ

信号が、前記クロック入力端子には前記VCOクロックが入力され、シフトされたウインドウ信号を前記Q出力端子に出力し、前記位相比較手段が、第1の入力端子、第2の入力端子、第1の出力端子、及び第2の出力端子を備えた单一の位相周波数検出器からなり、前記第1の入力端子には前記遅延されたランダム入力データが、前記第2の入力端子には前記シフトされたウインドウ信号が、それぞれ入力され、前記遅延されたランダム入力データの位相が前記シフトされたウインドウ信号よりも進んでいるときは、第1の出力端子に出力信号を、前記遅延されたランダム入力データの位相が前記帰還信号よりも遅れているときは、第2の出力端子に出力信号を出し、前記チャージポンプ手段が、アップ側入力端子、ダウン側入力端子、及び出力端子を備えた单一のチャージポンプ回路からなり、前記アップ側入力端子は前記位相周波数検出器の前記第1の出力端子に、前記ダウン側入力端子は前記位相周波数検出器の前記第2の出力端子にそれぞれ接続され、前記出力端子が前記低域通過フィルタ手段に接続されていることを特徴とする請求項12の位相同期回路。

【請求項14】前記データ変化検出手段が前記VCOクロックの立ち上がりまたは立ち下がりでクロックされ、前記ウインドウシフト手段が前記VCOクロックの立ち下がりまたは立ち上がりでクロックされることを特徴とする請求項12または13の位相同期回路。

【請求項15】前記データ変化検出手段が、入力端子、クロック端子、及び出力端子を備えた第1のDフリップフロップと、入力端子、クロック端子、反転出力端子とを備えた第2のDフリップフロップと、ANDゲートとを有し、第1のDフリップフロップの出力端子を第2のDフリップフロップの入力端子及び前記ANDゲートの一方の入力端子に接続し、前記第2のDフリップフロップの反転出力端子を前記ANDゲートの他方の入力端子に接続して構成されたデータ変化検出器を有し、前記第1のDフリップフロップの入力端子を当該データ変化検出器のデータ入力端子として、前記第1及び前記第2のDフリップフロップのクロック端子を共通に当該データ変化検出器のクロック端子として、前記AND回路の出力端子を当該データ変化検出器の出力端子として使用することと特徴とする請求項1、2、3、4、10、11、または12の位相同期回路。

【請求項16】前記データ変化検出器が、入力端子、クロック端子、及び出力端子を備えた第1のDフリップフロップと、入力端子、クロック端子、反転出力端子とを備えた第2のDフリップフロップと、ANDゲートとを有し、第1のDフリップフロップの出力端子を第2のDフリップフロップの入力端子及び前記ANDゲートの一方の入力端子に接続し、前記第2のDフリップフロップの反転出力端子を前記ANDゲートの他方の入力端子に接続して構成し、前記第1のDフリップフロップの入

力端子を当該データ変化検出器のデータ入力端子として、前記第1及び前記第2のDフリップフロップのクロック端子を共通に当該データ変化検出器のクロック端子として、前記AND回路の出力端子を当該データ変化検出器の出力端子として使用することと特徴とする請求項5、6、7、8、9、13、または14の位相同期回路。

【請求項17】前記第1のDフリップフロップがリセット入力を有していることを特徴とする請求項15または16の位相同期回路。

【請求項18】前記第1及び第2のDフリップフロップが、前記VCOクロックの立ち上がりでクロックされることを特徴とする請求項15、16、または17の位相同期回路。

【請求項19】前記第1及び第2のDフリップフロップが、前記VCOクロックの立ち下がりでクロックされることを特徴とする請求項15、16、または17の位相同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、位相同期回路に関し、特に、データ伝送システム等へのランダム入力データからクロック信号を抽出するためのクロックリカバリ回路に利用される位相同期回路に関する。

【0002】

【従来の技術】位相同期ループ回路は、データ伝送システムにおいて、非常に重要な構成ブロックである。このような位相同期ループ回路は、多くの様々な応用があり、例えば、装置間電送により生じた歪みを除去するためや、図18に示されるようにランダム入力データからクロック信号を再生するために使用される。

【0003】図18に示されるデータ及びクロック再生PLL回路は、特開平6-315024号公報（及び米国特許、No. 5557648）に開示されている。

【0004】図18の位相同期ループ回路（PLL）は、データ入力端子181に入力された入力データ181Aの論理状態を識別し、その結果として出力データ183Aをデータ出力端子182へ出力する識別回路183と、入力データ181Aを2倍する倍増回路184と、クロック出力端子185と識別回路183へクロック信号186Aを供給する電圧制御発振器（VCO）186と、倍増回路184からの2倍されたデータ184AとVCO186からのクロック信号186Aとの位相を比較する位相比較回路187と、位相比較回路187からの比較結果187AをサンプルホールドするS/Hスイッチ回路188と、入力データ181Aに基づいてS/Hスイッチ回路188を制御するS/H制御信号189Aを出力する制御回路189と、S/Hスイッチ回路188からの出力188Aをフィルタリングし、VCO186を制御する電圧信号190Aとして出力する

低域通過フィルタ(LPF)190とを有している。

【0005】図19は、図18に示す回路の各部における動作波形を示す。入力データ181Aは、遅倍回路184によって波形184Aに変換される。波形184Aは、位相比較回路187によって、VCO出力186Aと比較される。これら2つの信号の位相差は、位相比較回路4の出力187Aを決定する。VCO出力186Aの位相が、遅倍回路184の出力184Aの位相より進んでいるとき、位相比較回路187は、その位相差に等しい幅の正パルスのパルス列を発生する(図19の(E)の(a)に示す)。逆に、VCO出力186Aの位相が、遅倍回路184の出力184Aの位相より遅れているとき、位相比較回路187は、その位相差に等しい幅の負パルスのパルス列を発生する(図19の(E)の(c)に示す)。2つの信号間に位相差が無いときは、図19の(E)の(b)に示すようにパルスは発生しない。

【0006】位相比較回路187の出力187Aは、結果的に、位相比較回路187とLPF190との間に配置されたS/Hスイッチ回路188に供給される。制御回路189の出力信号189Aは、図19の(F)に示されるようなS/H制御信号189AとしてS/Hスイッチ回路188へ供給される。S/H制御信号189Aは、S/Hスイッチ回路188を、ONまたはOFFの状態に切り替える。S/H制御信号188AがONのとき、このPLLは、“サンプリングモード”になる。即ち、位相比較回路の出力187Aは、S/Hスイッチ回路を介してLPF190へ入力され、このPLLは通常のPLL動作を行う。これに対し、S/H制御信号188AがOFFのとき、このPLLは、“ホールディングモード”になり、S/Hスイッチ回路188は動作を停止し、このPLLは、位相比較を中止する。

【0007】この“ホールディングモード”は、入力データ181Aが、長い連続した同一ビット(0の連続または1の連続)である場合に、PLLが初期状態に戻ることを防ぎ、安定した動作を継続できるようにする。

【0008】S/Hスイッチ回路188の出力188Aは、LPF190によって、DC(直流電流)電圧190Aに変換される。PLLの負帰還動作は、遅倍回路184の出力184AとVCO出力186Aとの位相差が最小となり、“位相同期状態”と呼ばれるようになる。識別回路183は、再生されたクロック信号186Aを用いて、入力データ181Aの論理状態を識別する。識別回路183は、図19の(B)に示す出力波形183Aを出力するために、入力データ181Aの識別を行う。

【0009】図18に示される位相比較回路187は、実際には、ギルバートマルチブライヤー型の位相検出器である。その回路図を図20に示す。この回路では、2つの乗算回路が組み合わされている。トランジスタQ1

-Q6と抵抗器R1及びR2からなる第1の回路は、入力データ181Aの位相とマスタフリップフロップ201の出力の位相とを比較する。ここで、マスタフリップフロップ201は、識別回路183の一構成要素であって、その出力201は、VCO186からの出力186Aの代わりである(詳細は、特開平6-315024号公報に記載されている)。

【0010】また、トランジスタQ1、Q2、及びQ5-Q8と抵抗器R1及びR2からなる第2の乗算回路は、入力データの位相と90°遅延させた入力データの位相とを比較する。第2の乗算回路は90°位相の異なる2つの信号を比較するので、第2の乗算回路の平均DC出力レベルは、入力データのマーク比のみに依存する。従って、第1の乗算回路の出力から第2の乗算回路を減算すれば、マーク比の影響を取り除ける。その結果、マーク比に依存しない、マスタフリップフロップの出力と90°遅延入力データとの間の位相差出力を得ることができる。これにより、VCO周波数を安定して制御することができる。

【0011】図21は、VCO186の詳細を示す図である。このVCO186は、エミッターカップルドマルチバイブレータ(emitter-coupled multivibrator)VCOである。図21の回路の、トランジスタQ1-Q6及び抵抗器R1-R6からなる部分は、正帰還技術を使用するヒステリシス比較器である。その出力は、入力信号の振幅が所定の電圧を超えると反転する。差動入力端子をトランジスタQ1及びQ2のベースとするとき、出力端子は、トランジスタQ3及びQ4のコレクタである。この回路の、トランジスタQ7及びQ8とキャパシタCとからなる部分は、遅延回路である。この遅延回路の遅延は、キャパシタCへ流れ込む充電電流Icによって与えられる。このVCOの発振は、遅延回路を通しての出力からヒステリシス比較器の入力への正帰還によって得られる。発振周波数は、遅延回路の遅延時間と比較器のヒステリシス特性によって決まり、充電電流Icを制御することにより制御できる。

【0012】なお、このVCO186からの出力は、2つのフリップフロップ211、212のクロック端子に供給される。これら2つのフリップフロップ211、212は、識別回路183を構成し、一方のフリップフロップ211は、図20のマスタフリップフロップ201に相当する。

【0013】

【発明が解決しようとする課題】しかしながら、図18に示す回路は、幾つかの問題点を有している。まず第1に、この回路は、(低域通過フィルタのRC時定数を増加させるために)大きな外部キャパシタを接続すること無く、数十の連続した同一ビットの間、安定した同期が得られる一方で、連続するビットの数が数百に達するとすぐに同期を失うという問題点がある。

11

【0014】詳述すると、エミッタカップルドマルチバイブレータVCOの入力ノードでのバイポーラトランジスタのベース電流は、ノード9Aの周波数(Fclk)を時間と共に低下させる。これは、図22のシミュレーション結果に明確に示されている。図22のシミュレーション結果は、ワークステーション上のミックスモード動作(mixed mode behavioral)シミュレータ、即ちSABER™を使用して実証された。ここでは、入力データ伝送レートは、1.25Gbpsと仮定した。また、デバイスバラメータは、 $L = 0.35\mu m$ 、エビタキシャルの無いBiMOSプロセス、 $V_{cc} = 1V$ において $f_r = 20GHz$ とした。さらに、固有周波数 $\omega_r = 12.6 \times 10^6 rads/sec$ と、減衰率 $\zeta = 1.0$ とを仮定した。

【0015】図22に示すように、PLLは、データブリアンブル(100%データ密度)の間に、 $F_{clk} = 1.25GHz$ で安定した同期に達する。その一方で、データ密度が0になるとき($t > 6\mu s$)、 F_{clk} は時間と共に減衰する。この減衰は、最終的に、識別エラーの発生前の変化の間で許されるビット数の最大値を決定する。図22におけるタイミングエラーの発生は、わずか124ビットのゼロの連続のあとで発生する。

【0016】第2に、図18に示す回路は、入力データ周波数が、PLLの自励周波数(時間 $t=0$ のとき、初期発振周波数)とかなり異なるとき、概して同期を確立し損なうという問題点がある。つまり、この回路の制限された同期引き込み範囲のために、望まれる目標の周波数で同期を確立することができない。

【0017】同期引き込み範囲は、同期引き込み動作が可能な時の、目標周波数とPLLの固有発振周波数との間の最大周波数オフセットを定義する。この範囲内において、PLLは、常に同期を確立する。しかし、この引き込み動作は遅い。図22において、この回路は、PLLの自励周波数が1GHzに等しいとき、正確な周波数($f_{clk} = 1.25GHz$)を獲得するが、その周波数が800MHzに等しいときは、誤った周波数を獲得する。動作の変化は、PLLの自励発振の一部から一部(1GHzから800MHz)への変化の結果となる。

【0018】図18の回路における第3の問題は、高調波での同期確立が発生することである。

【0019】ギルバートマルチブライヤー位相検出器の位相差出力は、そのトランジスタの平均ON時間によって決まる。ここで、トランジスタの平均ON時間は、例えば、位相比較入力信号の周波数が(f_1 と f_2)のときと(f_1 と $2f_2$)のときとで同じである。つまり、この回路では、その同期電圧が入力信号のデューティサイクルによって決定されるので、高調波で同期が確立する。

【0020】本発明は、高調波での同期確立が発生せず、同一の符号が連続する場合でも安定して動作する位相同期回路を提供することを目的とする。

10

12

【0021】

【課題を解決するための手段】本発明の位相同期回路は、ランダム入力データからクロック信号を抽出するための位相同期回路において、前記ランダム入力データを遅延させ遅延ランダム入力データを出力する遅延手段と、前記ランダム入力データのデータ変化を検出してウインドウ信号を生成するデータ変化検出手段と、前記遅延ランダム入力データと帰還信号との位相差を求め、位相差に応じた出力を出力する位相差検出手段と、該位相比較手段の出力に応じた出力電圧を発生するチャージポンプ手段と、該チャージポンプ手段からの前記出力電圧を濾波する低域通過フィルタ手段と、該低域通過フィルタ手段の出力電圧に応じた周波数のVCOクロックを発生する電圧制御発振器と、所定のデジタル論理レベルと前記VCOクロックとが入力され、前記ウインドウ信号に応答して前記所定のデジタル論理レベルまたは前記VCOクロックを、前記帰還信号として選択的に出力するマルチブレクサ手段と、を有することを特徴とする。

20

【0022】また、本発明の位相同期回路は、ランダム入力データからクロック信号を抽出するための位相同期回路において、入力されたランダム入力データを遅延させるための遅延手段と、前記ランダム入力データのデータ変化を検出してウインドウ信号を出力するデータ変化検出手段と、前記ウインドウ信号をシフトさせるためのウインドウシフト手段と、前記遅延手段により遅延されたランダム入力データの位相と前記ウインドウシフト手段によりシフトされたウインドウ信号の位相とを比較して、位相差に応じた出力信号を出力する位相比較手段と、該位相比較手段からの出力信号に応答して出力電圧を発生するチャージポンプ手段と、チャージポンプ手段の出力電圧を濾波する低域通過フィルタ手段と、該低域濾波手段の出力に応じた周波数のVCOクロックを発生する電圧制御発振器と、を有することを特徴とする。

30

【0023】

【作用】本発明は、位相周波数検出器(PFD)ブロックを用いる点で、特開平6-315024号公報に開示されたものと異なる。PFDブロックは、1又は0の連続が、その入力信号に連続したとき、誤った周波数を獲得するので、データとクロックの再生PLLに使用され40たことがない。本発明は、VCOとPFDの間にマルチブレクサブロックを置くことによりPFDをPLL利用できるようとする。

40

【0024】データ変化検出ブロックによって生成され、マルチブレクサブロックの選択入力へ供給されるウインドウ信号は、PFDブロックへの帰還信号を制御する。これにより、遅延データ入力と帰還信号との位相比較をPFDで行なうPLLであっても、連続する同一(1又は0)のビットを含む入力データに対して、安定した位相同期状態を保つことができる。

50

【0025】また、VCOの入力ノードでの高インピー

ダンスは、時間の経過に伴う出力クロックの周波数の低下が発生しないことを保証し、それによって、本発明は、数百の連続する同一ビットの間 (L P F の R C 時定数を増加させるための大きな外部キャパシタを必要とすることなく) 望まれる目標周波数で安定した同期を提供する。

【0026】さらに、この回路は、位相周波数検出器を利用し、ギルバートマルチブライヤ位相比較器を用いないので、PLLは、確実な同期引き込みと（それは無限の引き込み範囲を持つので）、高調波での同期がない（同期は、PFDの両入力信号における変化エッジの数が等しいときのみ得られるので）ことを、自動的に保証する。

【0027】この回路は、また、何等の不都合を招くことなく、周波数シンセサイザへ容易に転換できるという長所を持つ。

【0028】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0029】本発明の第1の実施の形態を図1に示す。図1に示す位相同期回路は、数百の連続するビットに対して安定した同期が一義的に得られること、同期引き込み過程が自動的に起こること、高調波では同期しないことを保証する。

【0030】この位相同期回路は、以下から成る。

【0031】長さn (=2ⁿ - 1) ビットのデジタルデータ列 (F data) が入力されるデータ入力端子11。

【0032】データ入力端子11に接続され、データ入力端子11に入力されたデジタルデータ列を遅延させて出力する遅延ブロック12。

【0033】データ入力端子11に接続され、入力デジタルデータ列の変化を検出し、変化を検出すると丁度1ビットに相当する時間だけ“ハイ”を維持するウィンドウ信号を出力するデータ変化検出ブロック13。

【0034】遅延ブロック12からの遅延されたデータ列信号と、帰還信号 (F fbk) との位相差を検出し、その位相差に基づく出力信号を出力する位相比較ブロック14。

【0035】位相比較ブロック14からの出力信号に応答して（入力間の位相差に従って）出力電圧を発生するチャージポンプブロック15。

【0036】チャージポンプブロック15の出力電圧によって、充電または放電する低域通過フィルタブロック16。

【0037】低域通過フィルタブロック16の出力 (V cnt) に応答してバイアスを発生するバイアス発生器 (BG) と、バイアスに対応する周波数のクロック信号 (F clk) を発生する電流制御発振器 (CCO) とを含む電圧制御発振器 (VCO) 17。

【0038】VCO17と位相比較ブロック14との間に配置されたマルチブレクサブロック18。このマルチブレクサブロック18は、入力される“デジタル論理レベル”またはクロック信号 (F clk) の内的一方を位相比較ブロック14へ帰還信号 (F fbk) として出力する。この選択は、マルチブレクサブロック18の選択入力 (SEL) に入力されるデータ変化検出ブロック13からのウィンドウ信号の値によって決定される。つまり、ウィンドウ信号は、VCO17からのクロック信号が位相比較ブロック14への帰還信号として使用されるか、デジタル論理レベルが帰還信号として使用されるかを制御する。

【0039】次に、図1の位相比較回路の動作について説明する。

【0040】本実施の形態における位相比較ブロック14は、例えば、図2に示すように、位相周波数検出器 (PFD) を利用した位相周波数検出ブロック21である。

【0041】一般に、PFDでは、その入力信号 (F ref) の変化エッジの数が、帰還信号 (F fbk) のエッジの数と等しいとき、正しい周波数が得られる（位相が一致したと判定する）ことが良く知られている。しかしながら、本実施の形態では、位相周波数検出ブロック21への入力信号 (F ref) は、ランダム入力データである。一方、帰還信号 (F fbk) としては、再生されたクロック (F clk) がF fbkとして使用される。従って、F ref またはF fbkのいずれかを制御する手段を設ければ、例え、同期が確立された後でも、これらの信号のエッジの数は一致するとは限らない。そこで、入力データF refに応じて帰還信号F fbkのエッジの数を制御する何らかの手段が必要となる。つまり、入力データからデータ変化 (“0”から“1”、又は“1”から“0”) が検出されたとき、VCO出力クロック信号F clkを位相周波数検出ブロック21へ帰還させ、データの変化が検出されない場合は、変化エッジを持たない信号、即ち、デジタル論理レベルを位相周波数検出ブロック21へ帰還させる手段が必要になる。

【0042】このような帰還信号を制御するための手段として、最も簡単なものは、一方の入力にデジタル論理レベルが供給され、他方の入力にF clkが供給されるマルチブレクサブロック18であろう。マルチブレクサブロック18には、入力されるデジタル論理レベルまたはF clkの一方を出力して、この位相同期回路が、位相同期状態となるように、制御信号が供給されなければならない。この制御信号は、VCO17からのクロックF clk パルスが、マルチブレクサブロック18を通して位相周波数検出ブロックへ戻るための窓（“ウィンドウ”）を定義する。従って、この制御信号は、ウィンドウ信号と呼ばれる。

【0043】ウィンドウ信号は、入力データの変化に対

応する必要があるので、入力データの変化を検出する何らかの手段が必要になる。本実施の形態では、データ変化検出ブロック13が、その役割を担う。即ち、データ検出ブロック13は、入力データの変化を検出し、それに応じてウインドウ信号を出力する。

【0044】また、位相周波数検出ブロック21に入力されるF_{ref}とF_{fbk}の中のエッジの数は、等しくなければならないので、データ変化検出ブロック13は、すべての検出されたデータ変化に対して、それぞれ、一つのF_{clk}パルスのみを許すように動作する。また、位相周波数検出ブロック21が、その入力データ(F_{ref}またはF_{clk})の特定のエッジ(立ち上がりまたは立ち下がりエッジ)で、位相比較を行うものとすると、ウインドウ信号は、F_{clk}の反対のエッジ(それなり立ち下がりまたは立ち上がり)で発生させられなければならない。このため、データ変化検出ブロック13は、F_{clk}によってクロックされる。この結果、PLLの負帰還動作は、位相同期状態が得られるまで、ウインドウ信号の位置を調整することになる。

【0045】位相周波数検出ブロック21への帰還信号を制御するためのウインドウ信号を発生するための時間が必要なので、入力データ(F_{ref}入力信号)を遅延させる手段が必要になる。このため、本実施の形態では、遅延ブロック12が、入力データを遅延させるため設けられている。

【0046】チャージポンプブロック15は、位相周波数検出ブロック21の出力に応じて、低域通過フィルタブロック16を充電または放電させ、その出力電圧(V_{cnt})を変化させる。

【0047】VCO17は、低域通過フィルタブロック16の出力電圧に応じた周波数のクロック信号を出力する。

【0048】以上のようにして、本実施の形態の位相同期回路は、入力データに対して同期を確立することができ、例えば数百ビット連続する同一のデータが入力されても安定して動作することができる。

【0049】また、図3に示すように、VCO17のバイアス発生器BGの出力を、遅延ブロック12に入力させ、それに応じて遅延ブロック12の遅延量を制御するようすれば、同期確立を素早く確立し、安定させることができる。

【0050】なお、デジタル位相周波数検出器(PFD)については、マグローヒルブックカンパニーより出版されている、ドクターR. E. Bestによる、半導体回路テキストブック「フェーズロックループス、セオリー、デザイン、アンド アプリケイションズ ("Phase Locked Loops, Theory, Design, and Applications")」の第8ページのテーブル2-1にP D型4として説明されている。

【0051】次に、図4を参照して、本発明の第2の実

施の形態について説明する。

【0052】この位相同期回路は、第1の実施の形態のマルチブレクサブロック18に代えて、ウインドウ信号シフトブロック41を有している。

【0053】このウインドウ信号シフトブロック41は、データ変化ブロック13から出力されるウインドウ信号をVCO17からのクロックに同期して出力する。他のブロックは、第1の実施の形態と同様に動作し、第1の実施の形態と同様、入力データに対して同期を確立することができ、数百ビット連続する同一のデータが入力されても安定して動作を維持できる。

【0054】

【実施例】図5に本発明の第1の実施例を示す。この位相同期回路は、遅延回路51、データ変化検出器(DTD)52、位相周波数検出器53、チャージポンプ回路54、低域通過フィルタ55、VCO56、及び2-1マルチブレクサ(MUX)57を備えている。

【0055】動作については、第1の実施の形態の動作と実質的に同じなので、その説明を省略する。

【0056】なお、本実施例のように、位相周波数検出器、マルチブレクサ、及びチャージポンプ回路等を1系統しかもたない位相同期回路は、低い周波数への適用が勧められる。また、0から1への変化、または1から0への変化のいずれか一方が、この回路を駆動するので、入力データデューティサイクル変化が問題と考えられるような場合に適用することが勧められる。

【0057】次に、第2の実施例について図6乃至図9を参照して説明する。

【0058】本実施例の位相同期回路は、図6に示すように、遅延回路61、第1のデータ変化検出器62、第2のデータ変化検出器63、第1の位相周波数検出器(PFD1)64、第2の位相周波数検出器(PFD2)65、第1のチャージポンプ回路(CP1)66、第2のチャージポンプ回路(CP2)67、ループフィルタ(LPF)68、VCO69、第1のマルチブレクサ(MUX1)70、及び第2のマルチブレクサ(MUX2)71を有している。なお、遅延回路61の前段において、ランダム入力データは2分岐され、一方はその位相を反転して反転入力データとされているものとする。

【0059】本実施例の位相同期回路は、より具体的には図7に示すように構成される。以下、図7と図8とを参照して、この位相同期回路の動作について説明する。

【0060】図8は、図7に示される回路の各部の、位相同期工程におけるタイミングチャートである。ここで、図8は、入力データ80A及び80B(即ち、ランダム入力データと反転入力データ)の波形、遅延ブロック61から出力される遅延入力データ81A及び81B、VCO69から出力される再生された出力クロック信号F_{clk}82、データ変化検出器62から出力される

再生（リタイミングされた）出力データ83、データ変化検出器62、63からそれぞれ出力されるウィンドウ信号84A及び84B、マルチブレクサ70、71からそれぞれ出力される帰還信号85A及び85B、位相周波数検出器64、65からそれぞれ出力される位相比較出力86A、87A及び86B、87B、及び、ループフィルタ68から出力されるDCロック電圧88、を示す。

【0061】遅延回路61は、入力データ80A及び80Bをそれぞれ“ t_d ”だけ遅延させて、遅延出力データ81A及び81Bとして出力する。遅延回路61から出力された遅延出力データ81A、81Bは、それぞれ位相周波数検出器64、65のF_{ref}入力へそれぞれ供給される。なお、図7に示される回路は、0.5ビット $< t_d < 1.5$ ビットの間で正しく動作する。ここでは、“ t_d ”=1ビットの遅延を、遅延回路61内で直列に接続されたバッファ手段によって実現する。

【0062】データ変化検出器62、63は、それぞれ、入力データ80Aと80Bの変化を検出するためを使用される。第1のデータ変化検出器62には、入力データ80Aと出力クロック82が入力され、第1のデータ変化検出器62は、出力ウィンドウ信号84Aを第1のマルチブレクサ70の選択入力(SEL)へ出力する。この第1のデータ変化検出器62は、入力データ80Aの立ち上がりエッジ（“0”から“1”への変化）を検出する。

【0063】同様に、第2のデータ変化検出器63には、入力データ80Bと出力クロック82が入力され、第2のデータ変化検出器63は、出力ウィンドウ信号84Bを、第2のマルチブレクサ71の選択入力(SEL)へ出力する。この第2のデータ変化検出器63は、入力データ80Bの立ち上がりエッジ（“0”から“1”への変化）を検出する。

【0064】詳述すると、第1のデータ変化検出器62は、2つのフリップフロップ62a及び62bと、1つのANDゲート62cとからなる。ここで、第1の位相周波数検出器64が、入力信号81A及び85Aの立ち上がりエッジで、位相比較を行うとすると、ウィンドウ信号84Aは、第1のマルチブレクサ70に対して、VCOクロック信号82の立ち上がりエッジを抽出するように出力されなければならない。このため、フリップフロップ62a及び62bは、共にクロック信号82の立ち下がりエッジでクロックされる。フリップフロップ62a及び62bとANDゲート62cとは、ウィンドウ信号84Aが、データ変化を検出する度に、ちょうど1データビットの間、“ハイ”的まとなるように接続されている。これは、第1の位相周波数検出器64の入力信号81A内の変化エッジの数と、入力信号85A内の変化エッジの数とが等しくなることを保証する。こうして、フリップフロップ62aは、入力データ80Aの論理状

10

態を、VCOクロック信号82の立ち下がりエッジを使用して検出し、図8に示すような再生（リタイミングされた）データ83を出力する。

【0065】一方、第2のデータ変化検出器63も、2つのフリップフロップ63a及び63bと、1つのANDゲート63cとからなる。ここで、第2の位相周波数検出器65が、入力信号81B、85Bの立上がりエッジで、位相比較を行うと仮定すると、ウィンドウ信号84Bは、VCOクロック信号82の立上がりエッジを抽出するように第2のマルチブレクサに入力される必要があるので、フリップフロップ63a及び63bは、クロック信号82の立ち下がりエッジでクロックされる。フリップフロップ63a及び63bとANDゲート63cとは、出力ウィンドウ信号84Bが、データ変化が検出される度に、ちょうど1データビットの間、“ハイ”を維持するように接続されている。そして、このことは、第2の位相周波数検出器65の入力信号81B内の変化エッジの数と、入力信号85B内の変化エッジの数とが等しくなることを保証する。

【0066】本実施例においては、第1の実施例とは異なり、位相周波数検出器(PFD1及びPFD2)と、マルチブレクサ(MUX1及びMUX2)と、チャージポンプ(CP1及びCP2)とを、それぞれ2個づつ設けている。これは、非常に高い入力データ周波数での回路動作を保証するためである。

【0067】第1の位相周波数検出器64は、入力信号81A及び85Aに基づいて、出力信号86A及び87Aを出力する。

【0068】入力データ80Aを遅延させた入力信号81Aは、第1の位相周波数検出器64において、参照入力となる。一方、ウィンドウ信号84Aによって、マルチブレクサ70を通過したVCOクロックバルス82は、第1の位相周波数検出器64において、帰還入力となる。第1の位相周波数検出器64は、入力信号81Aの位相が入力信号85Aの位相よりも進んでいるとき、ポンプアップ出力86Aを出力する。また、第1の位相周波数検出器64は、入力信号81Aの位相が入力信号85Aの位相よりも遅れているとき、ポンプダウン出力87Aを出力する。なお、第1の位相周波数検出器64には、位相同期に近い低利得の領域（デッドゾーン）を除去するために、遅延素子が付加される。また、第1の位相周波数検出器64は、入力信号81Aと85Aの、立ち上がりエッジによって、アクティブ状態にされる。

【0069】同様に、第2の位相周波数検出器65は、入力信号21B及び22Bに応じて、出力信号86Bと87Bを出力する。入力データ80Bを遅延させた遅延データ81Bは、第2の位相周波数検出器65の参照入力となる。ウィンドウ信号84Bによって、第2のマルチブレクサ71を通過したVCOクロックバルス82は、第2の位相周波数検出器65の帰還入力となる。

20

40

50

【0070】第2の位相周波数検出器65は、入力信号81Bの位相が入力信号85Bの位相よりも進んでいるとき、ポンプアップ出力86Bを出力する。また、第2の位相周波数検出器65は、入力信号81Bの位相が入力信号85Bの位相よりも遅れているときに、ポンプダウン出力87Bを出力する。この第2の位相周波数検出器65にも、位相同期に近い低利得の領域（デッドゾーン）を取り除くために、遅延素子が付加される。なお、第2の位相周波数検出器65も、入力信号81Bと85Bの、立ち上がりエッジによって、アクティブの状態にされる。

【0071】このように、本実施例の位相同期回路では、位相周波数検出器がエッジトリガーされるので、入力信号のデューティサイクルを検出せず、その結果、高調波での位相同期確立が発生しない。

【0072】第1のチャージポンプ66には、ポンプアップ入力86Aとポンプダウン入力87Aが入力される。また、第2のチャージポンプ67には、ポンプアップ入力86Bとポンプダウン入力87Bが入力される。

【0073】第1及び第2のチャージポンプ66、67の双方の出力は、出力信号88としてLPF68に供給される。LPF68は、チャージポンプ66、67からの出力信号88を濾波し、DC（直流）出力電圧89を発生させる。

【0074】ループフィルタ68は、PLLの応答特性、即ち、固有周波数 ω_0 と減衰率 ζ とを決定する。

【0075】VCO69は、入力されたDC（直流）出力電圧89に応答して、出力クロック信号(Fclk)82を発生する。VCO69は、バイアス発生器69aと、電流制御発振器(CCO)69bとかなる。このVCOから出力される出力クロック信号82の周波数は、DC（直流）出力電圧89によって決まり、それは、DC出力電圧89に応答して、入力データ80A及び80Bのはば平均データレートの範囲で変化する。出力クロック信号82は、第1及び第2のマルチブレクサ70、71にそれぞれ供給される。

【0076】VCO出力信号82の位相を反転した信号は、再生クロック信号90として外部へ出力され、利用される。

【0077】DC（直流）電圧89は、VCO69のバイアス発生器69a内のMOS入力トランジスタ（図示せず）に供給される。第1及び第2のチャージポンプ66及び67は、双方ともMOSテクノロジーにより得られる。このため、出力89は非常に高いインピーダンスノードになる。

【0078】図9に、図7の回路の位相同期動作のシミュレーション結果を示す。このシミュレーション結果から、この位相同期回路に用いられたウィンドウされた(Windowed) PFD（ギルバートマルチブライヤ位相比較器とは異なる）が、出力89の高いインピーダンスに

よって、時間経過に伴ってFclkを低下させることなしに、数百の連続する同一ビットの間で安定した同期を得ることができることが理解できる。なお、このシミュレーション結果は、ワークステーション上のミックスドモード動作シミュレータ、SABER、を用いて得た。ここでは、1.25Gbpsのデータ伝送速度を仮定した。また、デバイスパラメータは、L=0.35μmのエビタキシャルレスBiCMOSプロセス、Vcc=1Vでf_r=20GHzとした。さらに、固有周波数ω₀=12.6×10⁶rad/secと、減衰率ζ=1:0、とを仮定した。

【0079】図9は、また、ウインド信号を使用しないPFDを有するPLLの場合は、データ密度がゼロ(t>6μs)に向かい、データパルスが失われると解釈されるような場合に、入力周波数が低下して、すぐに同期を失うことを示している。

【0080】再び、図7及び図8に戻ると、VCO69と位相周波数検出器64、65との間にそれぞれ配置されたマルチブレクサ70、71は、それぞれ帰還信号85A及び85Bを制御する。マルチブレクサ70、71の選択入力(SEL)にそれぞれ供給されるウインドウ信号84A、84Bが、帰還信号85A及び85B内の変化エッジの数を、遅延入力信号81A及び81Bの変化エッジの数に等しくすることで、位相同期状態が得られる。

【0081】第1のマルチブレクサ70は、A入力、B入力、選択入力SEL、及び信号出力Fを有する。

“0”的ディジタル論理レベル91は、第1のマルチブレクサのA入力に与えられる。VCO69からのVCO出力信号82は、第1のマルチブレクサ70のB入力に与えられる。第1のデータ変化検出器62からのウインドウ信号84Aは、第1のマルチブレクサ70の選択入力SELに与えられ、信号91または信号82の、いずれが、第1の位相周波数検出器64へ帰還信号85Aとして帰還されるのか決定する。第1のデータ変化検出器62が、入力信号80Aの中に、データ変化（“0”から“1”）を検出したとき、ウインドウ信号84Aは、ちょうど1ビットの間、高くなり（ウインドウを開き）、第1のマルチブレクサ70からVCO出力クロック信号82を出力させる。この結果、遅延入力データ81Aと帰還信号85Aとの間で位相比較が行われ、もし入力信号81Aの立上がりエッジが、帰還信号85Aの立上がりエッジよりも前に（後に）発生するならば、入力データ81Aが、帰還信号85Aより進んでいる（遅れている）と考えられる。この場合、第1の位相周波数検出器64からは、アップ（ダウン）出力パルス86A（87A）が出力され、この出力は、第1のチャージポンプ66に供給される。

【0082】これに対して、第1のデータ変化検出器62が、入力データ80Aの中にデータ変化を検出しなか

ったとき（入力データが連続する1または0のとき）、ウィンドウ信号84Aは低くなり（ウィンドウ閉じる）、第1のマルチブレクサ70からは、クロック信号82の代わりにディジタル論理レベル“0”が帰還信号85Aとして出力される。

【0083】第2のマルチブレクサ71は、第1のマルチブレクサ70と同様、A入力、B入力、選択入力SEL、及び信号出力Fを有する。“0”的ディジタル論理レベル91は、第2のマルチブレクサ71のA入力に与えられる。VCO69からのVCO出力信号82は、第2のマルチブレクサ72のB入力に与えられる。そして、第2のデータ変化検出器63からウィンドウ信号84Bは、第2のマルチブレクサ71の選択入力に与えられ、帰還信号85Bとして、信号82を出力するか、信号91を出力するかを決定する。

【0084】第2のデータ変化検出器63が、入力データ20Bの中に、データ変化（“0”から“1”）を検出したとき、ウィンドウ信号84Bは、ちょうど1ビットの間、高くなり（ウィンドウを開く）、VCO69の出力クロック信号82を帰還信号85Bとして、マルチブレクサ71から出力させる。この結果、第2の位相周波数検出器65において、遅延入力データ81Bと帰還信号85Bとの間で、位相比較が行われる。もし、入力データ81Bの立上がりエッジが、帰還信号85Bの立上がりエッジよりも前に（後に）発生するならば、入力データ81Bが、帰還信号85Bより進んでいる（遅れている）と考えられる。そして、第2の位相周波数検出器65は、アップ（ダウン）出力バルス86B（87B）を、第2のチャージポンプ67へ出力する。これに対して、第2のデータ変化検出器63で、入力データ80Bの中にデータ変化が検出できんかった時（入力データが連続する1または0のとき）、ウィンドウ信号84Bは低くなり（ウィンドウ閉じる）、第2のマルチブレクサは、帰還信号85Aとして、出力クロック82の代わりにディジタル論理レベル“0”91を出力する。

【0085】入力データ80A及び80B内にデータ変化が検出されなかった時、位相周波数検出器64、65では、位相比較が行われず、PLLは、次のデータ変化が検出されるまで、ホールドモードのままになる。したがって、本発明は、同一のビット（1または0）の長い連続の間、安定した同期を得ることができる。

【0086】図17に示すシミュレーション結果はまた、本実施例の回路が、例え、PLLの固有周波数が800MHzに等しい時でさえ、データブリアンブル（データ密度100%）の間に、 $F_{clk} = 1.25\text{GHz}$ の正しい周波数を得ることができることを示している。従来のギルバートマルチブライヤ位相比較回路を用いたPLLでは、固有周波数が800MHzに等しいとき引き込みができないことは、従来の技術の欄で図22を参照して説明した通りである。この様に、本実施例の位相

期回路では、確かに、同期引き込みを保証すると結論することができる。

【0087】本発明の第3の実施例を図10を参照して説明する。

【0088】本実施例の位相同期回路は、第1の遅延回路と第2の遅延回路、第1乃至第4のデータ変化検出器、第1乃至第4の位相周波数検出器（PFD1～4）、第1乃至第4のチャージポンプ（CP1～4）、ループフィルタ、VCO、及び第1乃至第4のマルチブレクサ（MUX1～4）を有している。

【0089】この位相同期回路は、より高い周波数の動作が可能となるように、位相周波数検出器、マルチブレクサ、及びチャージポンプ等をインターリーブしている。なお、動作については、第2の実施例と、同様なのでその説明は省略する。

【0090】図11に本発明の第4の実施例を示す。この実施例では、遅延回路の前段に、入力データの立ち上がり及び立ち下りエッジを検出するエッジ検出器を有している。また、これに対応して、入力データの立上がりを検出して第1のウインドウ信号（WIN1）を出力する第1のデータ変化検出回路と、入力データの立ち下りを検出して第2のウインドウ信号（WIN2）を出力する第2のデータ変化検出回路とを有している。第1のウインドウ信号と第2のウインドウ信号とは、ORゲートに入力され、ウインドウ信号（WIN）として2-1マルチブレクサの選択入力に供給される。

【0091】本実施例の位相同期回路では、データの“0”から“1”への変化と“1”から“0”への変化の両方が、その回路を駆動するので、入力データデューティサイクル変化が問題とならないような低い周波数の場合に適用することが勧められる。

【0092】図12に本発明の第5の実施例を示す。この実施例では、図7の位相同期回路に使用されたエッジ検出器として、排他的論理ORゲートと遅延素子とを含むエッジ検出器が用いられている。この実施例の位相同期回路も、入力データデューティサイクル変化が問題とならないような低い周波数の場合に適用することが勧められる。

【0093】図13に、本発明の第6の実施例を示す。本実施例の位相同期回路は、第2の実施の形態に対応するものであって、遅延回路、位相周波数検出器、チャージポンプ回路、低域通過フィルタ、VCO、データ変化検出器、及びDフリップフロップを有している。

【0094】この位相同期回路は、上述した他の実施例とは異なり、マルチブレクサを使用しないで、上記実施例と同等の効果を得ることができる。即ち、Dフリップフロップは、データ変化検出器から出力されるウインドウ信号を、次のクロックで出力（即ちシフトさせる）する。これにより、マルチブレクサを用いた場合と同様の帰還信号F_{fbk}を得ることができる。

【0095】この実施例は、(VCOクロック信号のそれより)広いパルス帰還信号が、位相比較ブロックまたは帰還信号の経路に配置されたレベル変換器によって必要とされるような場合に適用することが勧められる。

【0096】図14乃至図17は、上記実施例に使用できるデータ変化検出器の具体的構成を示すものである。いずれのデータ変化検出器も、2個のDフリップフロップと1個のAND回路で構成されており、図14と図15に示されるデータ変化検出器は、VCOクロック信号の立ち下がりエッジでトリガーされ、図16と図17に示されるデータ変化検出器は、VCOクロック信号の立ち上がりエッジでトリガーされる。また、図15及び図17に示されるデータ変化検出器の一方のDフリップフロップには、リセット端子が設けられている。

【0097】

【発明の効果】本発明によれば、LPFのRC時定数を増加させるための大きな外部キャパシタを必要とすることなく、同一の符号が数百ビット連続する場合であっても、安定した同期を維持することができる位相同期回路が得られる。

【0098】また、本発明によれば、PLLの固有周波数に関わりなく、確実に同期引き込み動作が自動的に起こる位相同期回路が得られる。

【0099】また、本発明によれば、高調波で同期を確立することのない、移動同期回路が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すブロック図である。

【図2】図1の位相同期回路の具体例を示すブロック図である。

【図3】図2の位相同期回路の変形例を示すブロック図である。

【図4】本発明の第2の実施の形態を示すブロック図である。

【図5】本発明の第1の実施例を示すブロック図である。

【図6】本発明の第2の実施例を示すブロック図である。

【図7】図6の位相同期回路の構成をより具体的に示す図である。

【図8】図7の位相同期回路の各部の動作を説明するためのタイムチャートである。

【図9】図7の位相同期回路の動作のシミュレーション結果を示すグラフである。

【図10】本発明の第3の実施例を示すブロック図である。

【図11】本発明の第4の実施例を示すブロック図である。

【図12】本発明の第5の実施例を示すブロック図である。

10

20

30

40

50 181

【図13】本発明の第6の実施例を示すブロック図である。

【図14】本発明の実施例で使用可能なデータ変化検出器の構成を示す回路図である。

【図15】本発明の実施例で使用可能なデータ変化検出器の他の構成を示す回路図である。

【図16】本発明の実施例で使用可能なデータ変化検出器のまた別の構成を示す回路図である。

【図17】本発明の実施例で使用可能なデータ変化検出器のさらに別の構成を示す回路図である。

【図18】従来の位相同期回路の一例を示すブロック図である。

【図19】図18の位相同期回路の各部の動作を説明するためのタイムチャートである。

【図20】図18の位相同期回路に使用されるギルバートマルチブライヤー型の位相検出器の回路図である。

【図21】図18の位相同期回路に使用されるVCOの回路図である。

【図22】図18の位相同期回路の動作をシミュレーションした結果を示すグラフである。

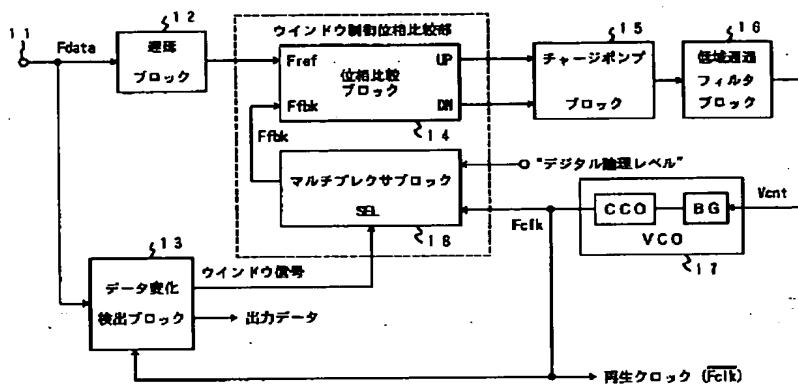
【符号の説明】

1 1	データ入力端子
1 2	遅延ブロック
1 3	データ変化検出ブロック
1 4	位相比較ブロック
1 5	チャージポンプブロック
1 6	低域通過フィルタブロック
1 7	電圧制御発振器(VCO)
1 8	マルチブレクサブロック
2 1	位相周波数検出ブロック
4 1	ウインドウ信号シフトブロック
5 1	遅延回路
5 2	データ変化検出器(DTD)
5 3	位相周波数検出器
5 4	チャージポンプ回路
5 5	低域通過フィルタ
5 6	VCO
5 7	2-1マルチブレクサ(MUX)
6 1	遅延回路
6 2	第1のデータ変化検出器
6 3	第2のデータ変化検出器
6 4	第1の位相周波数検出器(PFD1)
6 5	第2の位相周波数検出器(PFD2)
6 6	第1のチャージポンプ回路(CP1)
6 7	第2のチャージポンプ回路(CP2)
6 8	ループフィルタ(LPF)
6 9	VCO
7 0	第1のマルチブレクサ(MUX1)
7 1	第2のマルチブレクサ(MUX2)
50 181	データ入力端子

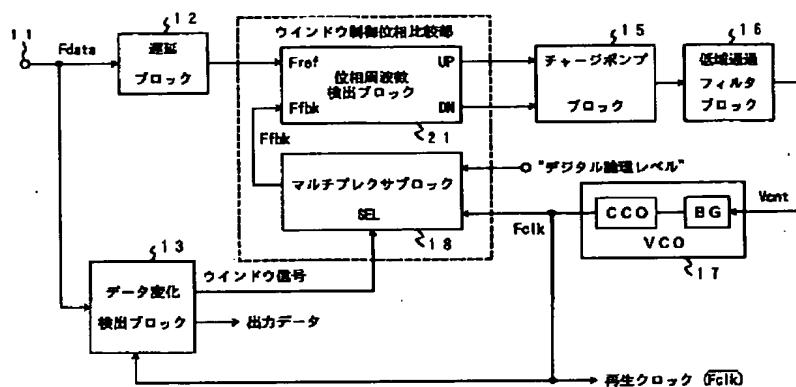
182	データ出力端子	* 188	S/Hスイッチ回路
183	識別回路	189	制御回路
184	連倍回路	190	低域通過フィルタ (LPF)
185	クロック出力端子	201	マスタフリップフロップ
186	電圧制御発振器 (VCO)	211, 212	フリップフロップ
187	位相比較回路	*	

*

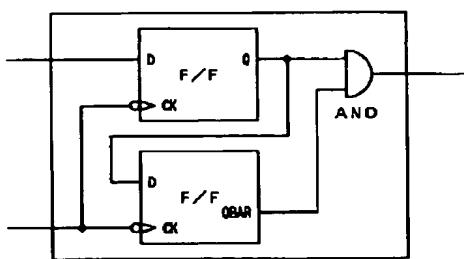
【図1】



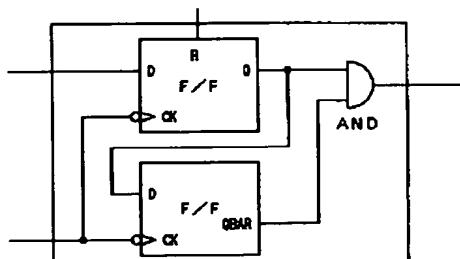
【図2】



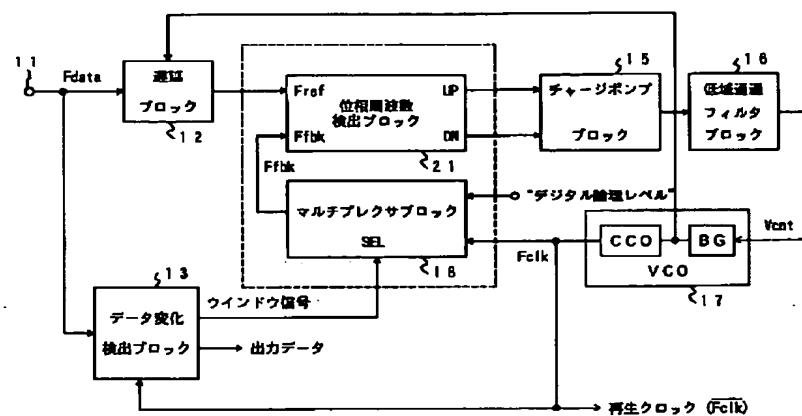
【図14】



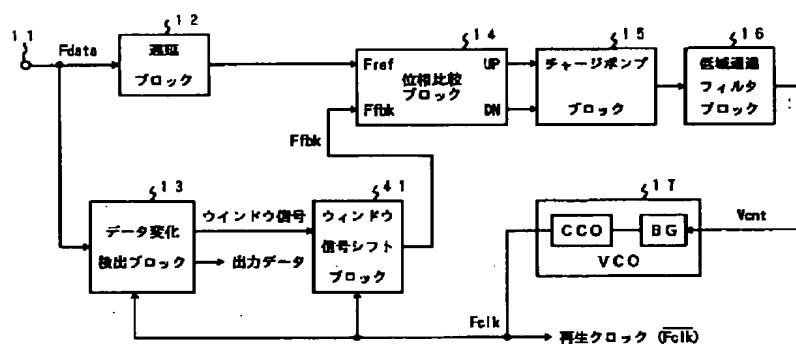
【図15】



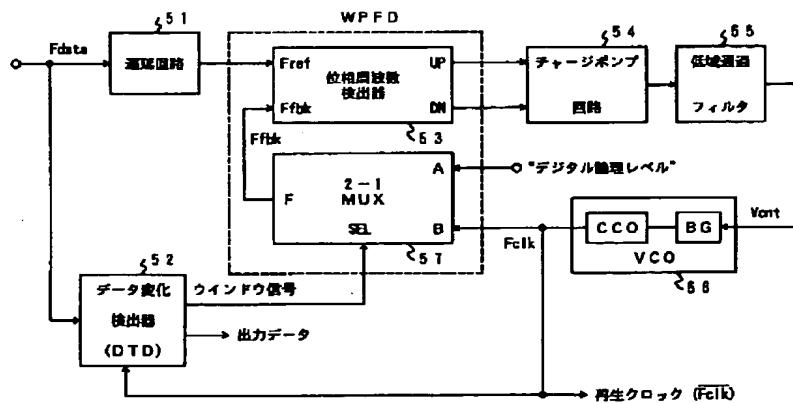
【図3】



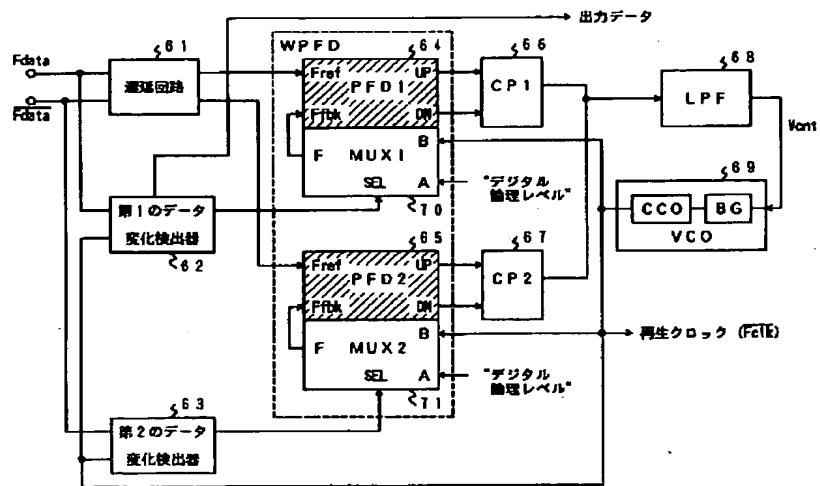
【図4】



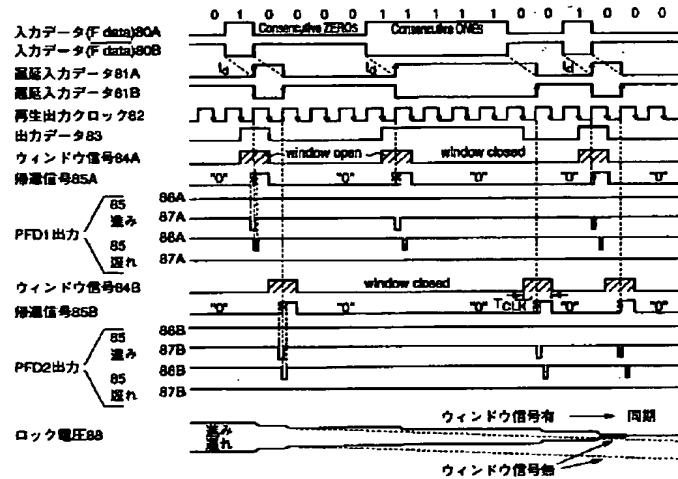
【図5】



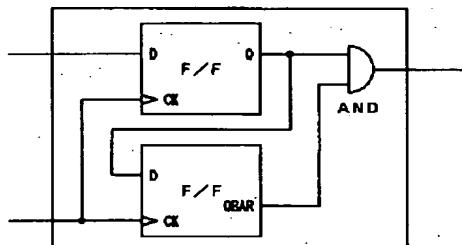
【図6】



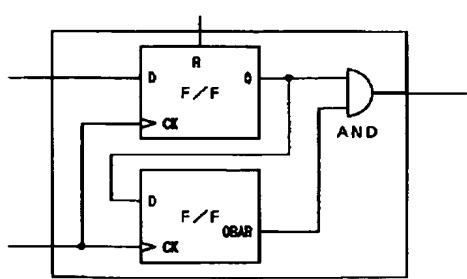
【図8】



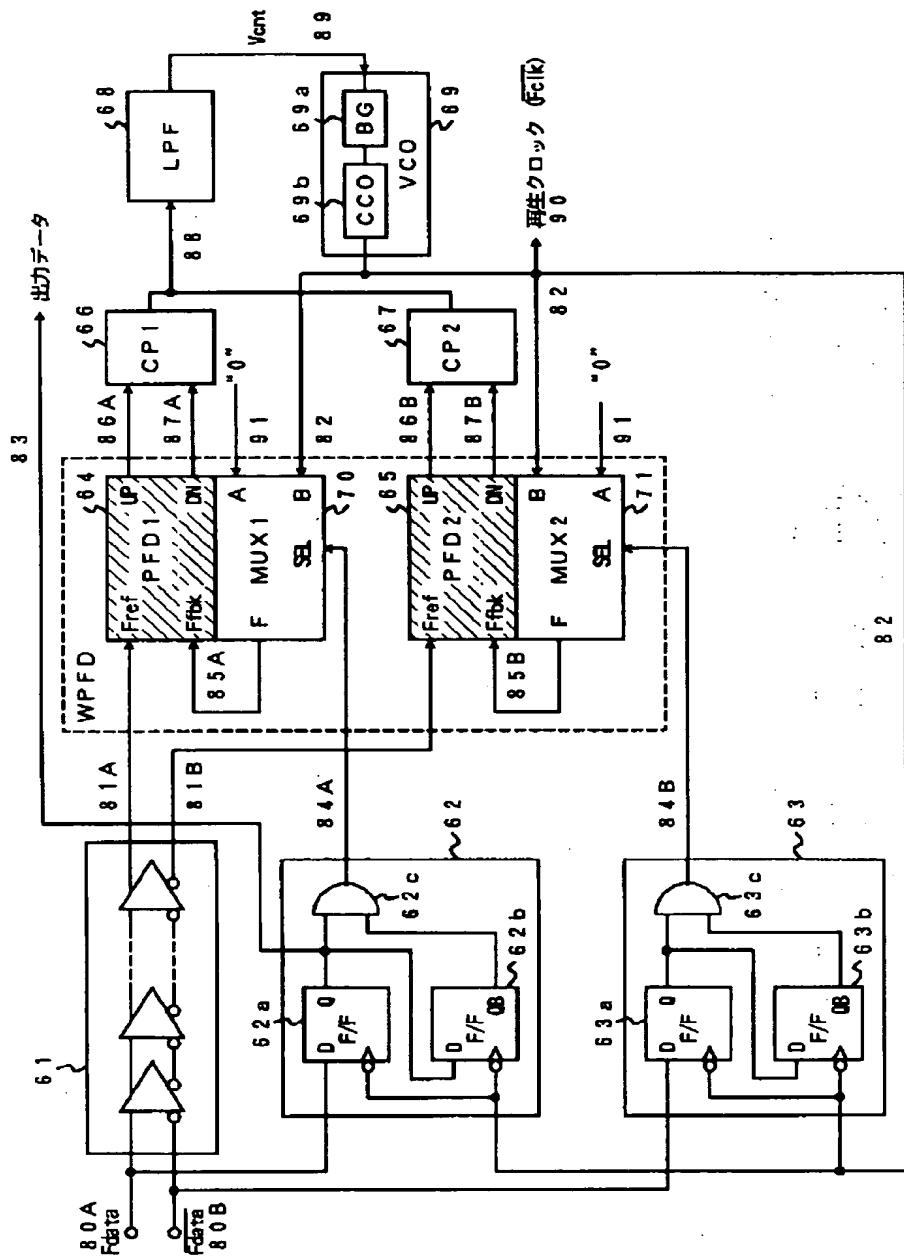
【図16】



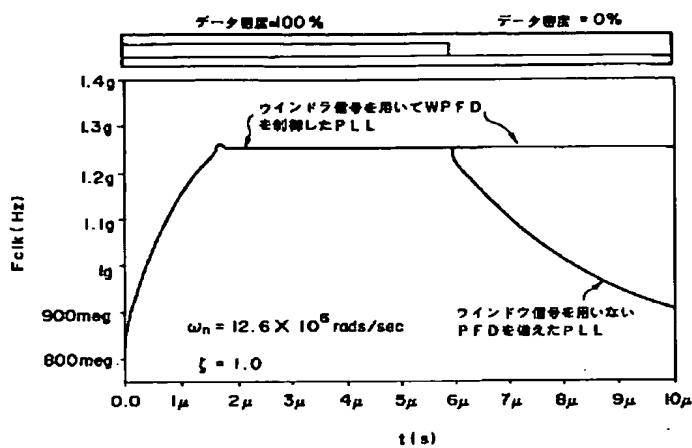
【図17】



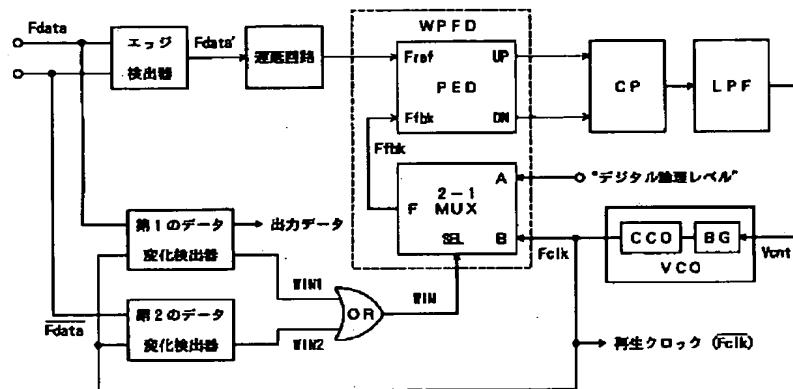
【図7】



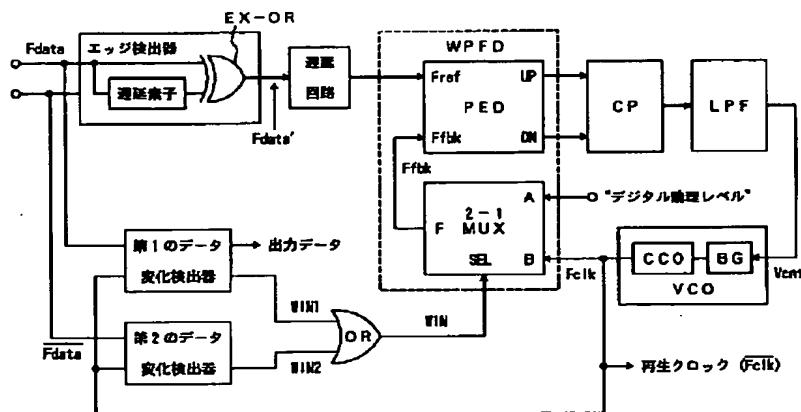
【図9】



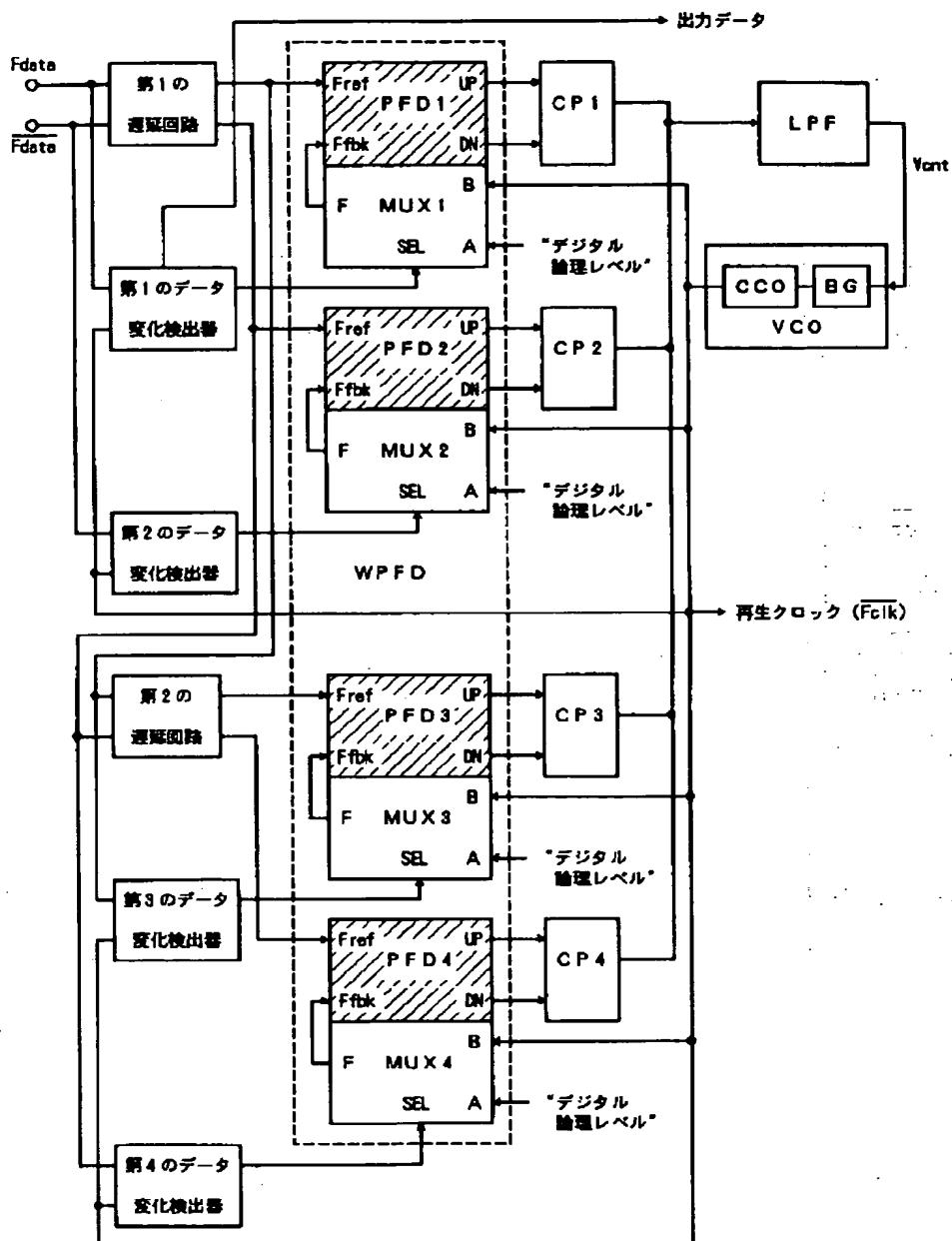
【図11】



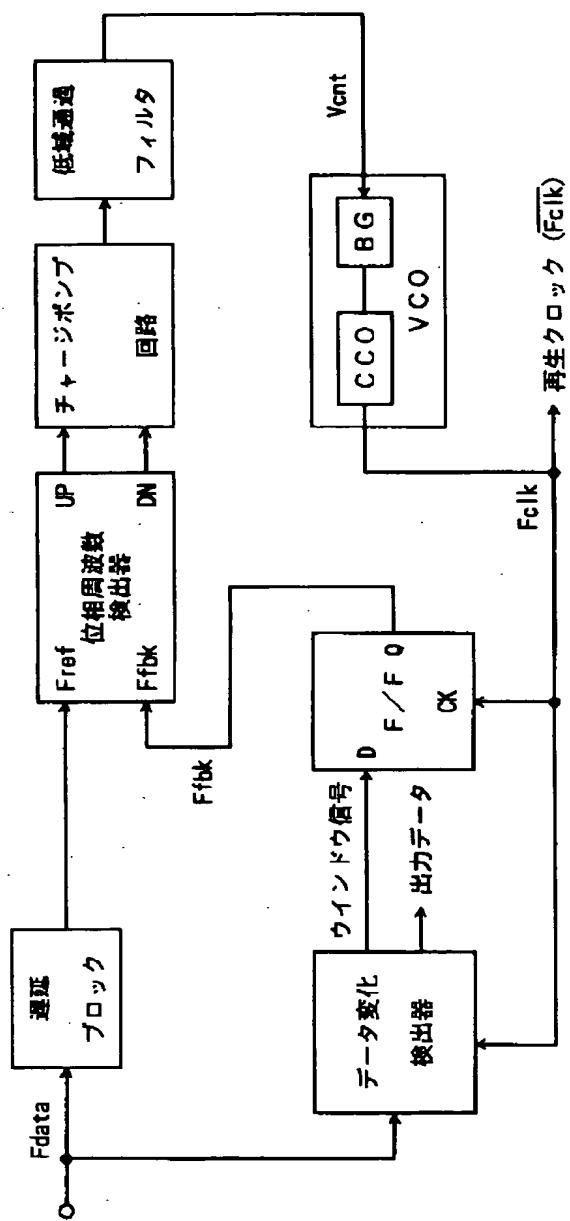
【図12】



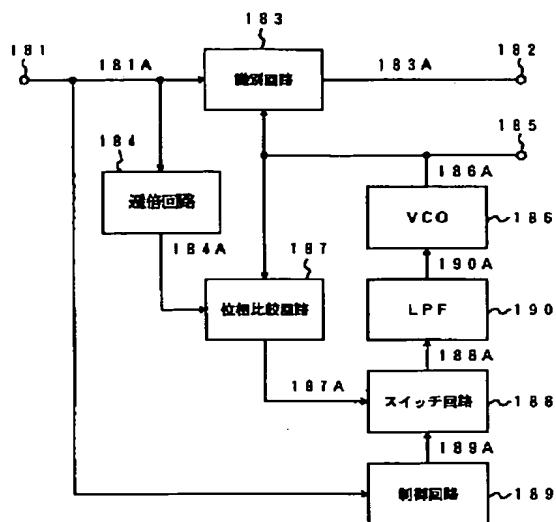
【図10】



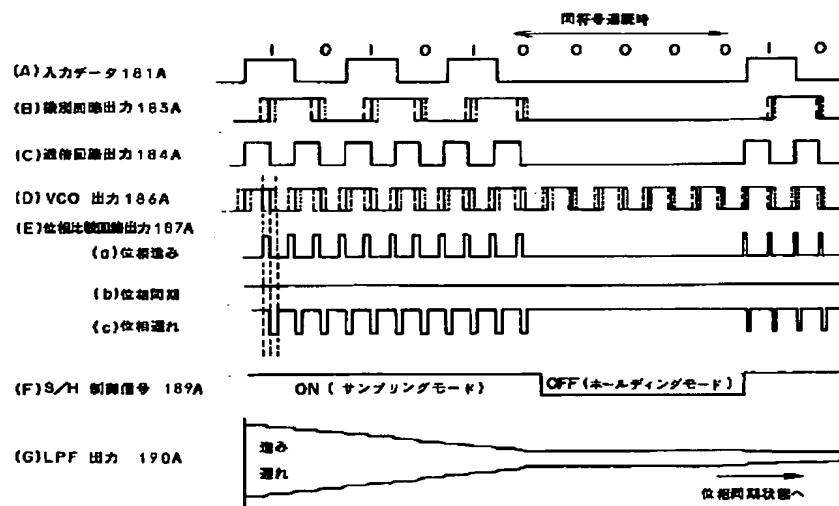
【図13】



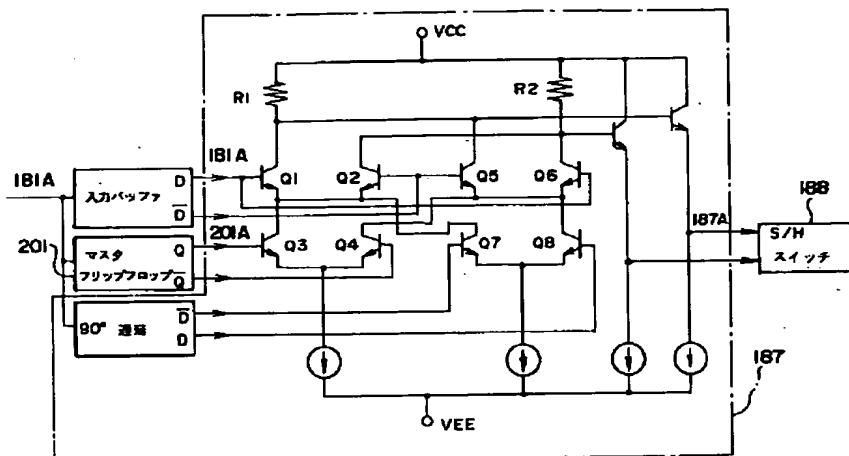
【図18】



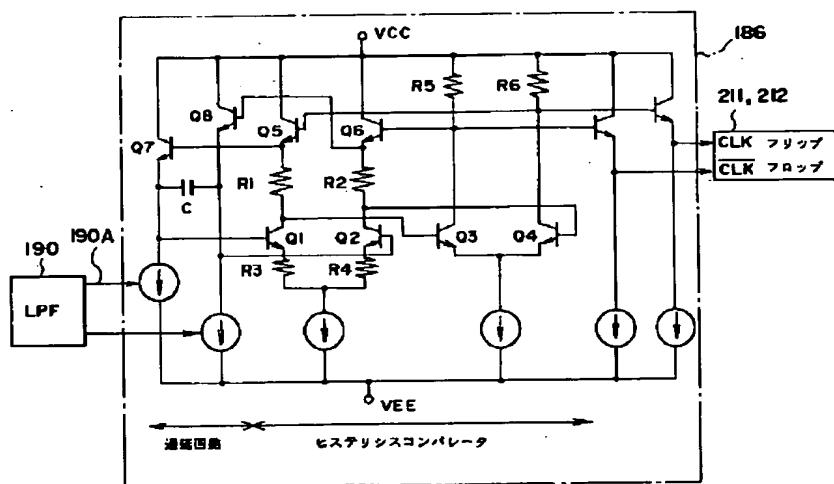
【図19】



【図20】



【図21】



【図22】

